

(43)公開日 平成15年3月28日(2003.3.28)

テーマト* (参考)

5H730

354F 5M024

審査請求 未請求 請求項の数5 OL (全 9 頁)

(71)出願人 591024111

株式会社ハイニックスセミコンダクター
大韓民国京畿道利川市夫鉢邑牙美里山136
-1

(72)發明者 許英道

大韓民国 忠清北道 清州市 興徳區 佳
景洞 ジンロアパート 104-1003

(72) 堯明者 玉 承 翰

大韓民国 忠清北道 清州市 興徳區 香
亭洞 1番地

(74)代理人 110000051

特許業務法人共生国際特許事務所

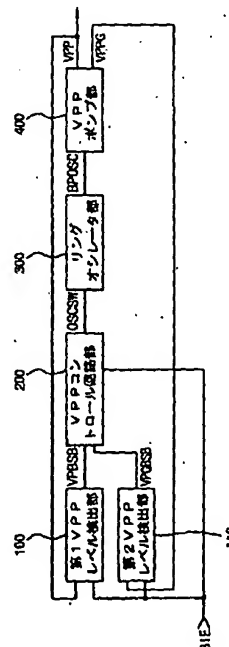
最終頁に続く

(54)【発明の名称】 高電圧動作昇圧回路

(57) 【要約】

【課題】 ポンピング動作時の過度なブートストラップ電圧により高電圧ポンプ回路のトランジスタが破壊されることを防止する。

【解決手段】 電源電圧を昇圧させて高電圧VPPを発生するVPPポンプ部400、高電圧動作信号によりVPPポンプ部から出力された高電圧VPPと基準電圧とを比較検出した信号を発生する第1VPPレベル検出部100、高電圧動作信号によりVPPポンプ部で昇圧された最高電圧を受信し、基準電圧と比較検出した信号を発生する第2VPPレベル検出部110、第1VPPレベル検出部の出力信号と第2VPPレベル検出部の出力信号及び高電圧動作信号とを受信し、VPPポンピング動作を制御する信号を発生するVPPコントロール回路部200、VPPコントロール回路部の出力信号により発振動作をし、VPPポンプ部の動作を制御するための一定周期のパルス信号を発生するリングオシレータ部300を備える。



【特許請求の範囲】

【請求項1】 半導体メモリ装置の高電圧動作昇圧回路において、
電源電圧を昇圧させて高電圧VPPを発生するVPPポンプ部と、

高電圧動作信号により前記VPPポンプ部から出力された前記高電圧VPPと基準電圧とを比較検出した信号を発生する第1VPPレベル検出部と、

前記高電圧動作信号により前記VPPポンプ部で昇圧された最高電圧を受信し、前記基準電圧と比較検出した信号を発生する第2VPPレベル検出部と、

前記第1VPPレベル検出部の出力信号と前記第2VPPレベル検出部の出力信号及び前記高電圧動作信号とを受信し、VPPポンピング動作を制御する信号を発生するVPPコントロール回路部と、

前記VPPコントロール回路部の出力信号により発振動作をし、前記VPPポンプ部の動作を制御するための一定周期のパルス信号を発生するリングオシレータ部とを備えることを特徴とする高電圧動作昇圧回路。

【請求項2】 前記第1VPPレベル検出部は、前記高電圧VPPが前記基準電圧より高ければ、VPPポンピング動作をできないように制御する信号を発生し、前記高電圧VPPが前記基準電圧より低ければ、VPP電圧をポンピングするように制御する信号を発生することを特徴とする請求項1に記載の高電圧動作昇圧回路。

【請求項3】 前記第2VPPレベル検出部は、前記最高電圧が基準電圧より高ければ、VPPポンピング動作をできないように制御する信号を発生し、前記最高電圧が基準電圧より低ければ、電源電圧をポンピングするように制御する信号を発生することを特徴とする請求項1に記載の高電圧動作昇圧回路。

【請求項4】 前記VPPコントロール回路部は、前記第1VPPレベル検出部の出力信号と、前記第2VPPレベル検出部の出力信号及び前記高電圧動作信号が全部「ハイ」(high level)の時、前記リングオシレータ部を動作させる信号を発生することを特徴とする請求項1に記載の高電圧動作昇圧回路。

【請求項5】 前記リングオシレータ部は、前記VPPコントロール回路部の出力信号が「ハイ」の時、一定周期のパルス信号を発生することを特徴とする請求項1に記載の高電圧動作昇圧回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体メモリ装置の高電圧動作昇圧回路に関し、特に高電圧VPPポンプ回路のブートストラップ電圧が一定レベル以上に上昇することを検出した信号により前記高電圧ポンプ回路の動作を制御することによって、ポンピング動作時の過度なブートストラップ電圧により高電圧ポンプ回路のトランジスタが破壊されることを防止できる高電圧動作昇

圧回路に関するものである。

【0002】

【従来の技術】一般に、DRAMは、1つのトランジスタと1つのコンデンサとで構成されたメモリセルに、データをライトしたりリードすることができるランダムアクセスメモリで、ローアドレスストロブ(Row Address Strobe)信号であるラス/RASがアクティブされると、この際入力されたローアドレスをデコードし、選択されたワードラインを駆動させることになる。

【0003】ところが、前記DRAMは、メモリセルを構成する1つのセルトランジスタがNMOSを用いるので、スレシヨルド(threshold)電圧 V_{tn} による電圧損失を考慮して電源電圧 V_{cc} + スレシヨルド電圧 $V_{tn} + \Delta V$ の電位を発生するワードライン駆動用VPP発生器を含む。すなわちトランジスタの特性からみて、PMOS型トランジスタの場合は、高電位をよく伝達するが、低電位を伝達する場合はスレシヨルド電圧以下の電位を伝達することが困難である。また、NMOS型トランジスタの場合は、低電位はよく伝達するが、高電位を伝達する場合にはゲート電位よりスレシヨルド電圧だけ低い電位以上の電位を伝達することが難しい。このため、前記メモリセルのように、素子のサイズを小さくするか、ラッチアップ(latch-up)を防止する目的でNMOS型トランジスタを使用する場合には、高電位をよく伝達するようにするために、NMOS型トランジスタのゲートに伝達しようとする高電位より最小限スレシヨルド電圧 V_t 以上だけ高い電位を印加しなければならない。したがって、DRAM素子のワードラインを駆動するためには、電源電圧 V_{cc} より高い電位である高電圧VPPを必要とする。

【0004】図1は、従来技術による高電圧動作昇圧回路のブロック図である。高電圧動作昇圧回路は、図示したように、VPPレベル検出部10、VPPコントロール回路部20、リングオシレータ部30及びVPPポンプ部40で構成されている。VPPレベル検出部10は、高電圧動作モードを示す信号である動作制御信号BIEが「ハイ」の時、高電圧VPPと基準電圧 V_{ref} とを比較して、高電圧VPPが目値値に到達したか否かを検出した信号VPBSBを出力する。この際、高電圧VPPが基準電圧 V_{ref} より高ければ、出力信号VPBSBはロウとされ、VPPポンピング動作をできないように制御し、もし高電圧VPPが基準電圧 V_{ref} より低ければ、出力信号VPBSBは「ハイ」とされ、VPPポンピング動作をするように制御する。

【0005】VPPコントロール回路部20は、VPPレベル検出部10の出力信号VPBSBと動作制御信号BIEとを受信し、次段のリングオシレータ部30の動作を制御する信号OSCSWを発生する。VPPコントロール回路部20は、VPPレベル検出部10の出力信

号VPBSBと動作制御信号BIEが全部‘ハイ’の時、‘ハイ’の出力信号OSCSWを発生し、次段のリングオシレータ部30が動作するように制御する。もし、VPPレベル検出部10の出力信号VPBSBと動作制御信号BIEのうちいずれか1つでも‘ロウ’とされると、出力信号OSCSWは‘ロウ’とされ、次段のリングオシレータ部30が動作できないように制御する。

【0006】リングオシレータ部30は、VPPコントロール回路部20の出力信号OSCSWが‘ハイ’の時、オシレーション動作をして一定周期のバルス信号BPOSCを発生し、‘ロウ’の時は動作をしない。VPPポンプ部40は、リングオシレータ部30から発生したバルス信号BPOSCによりVPP電圧が目標値に到達するまで電荷をポンピングさせる。すなわち高電圧動作モードになれば、動作制御信号BIEは‘ハイ’にイネーブルされ、リングオシレータ部30が動作を開始する。リングオシレータ部30から発生したバルス信号OSCHによりVPPポンプ部40が動作してVPP電圧を上昇させることになる。次に、VPPレベル検出部10は、VPP電圧を検出し、検出した値が目標値に到達すればVPPポンピング動作をできないように制御し、検出した値が目標値に到達していなければVPPポンピング動作を継続するように制御する。このような動作を繰り返して、VPP電圧は、一定の電位を維持することになる。

【0007】図2は、図1に図示された従来のVPPレベル検出部10の回路図である。VPPレベル検出部は、高電圧VPPとノードNd1との間に接続されたダイオード構造のPMOSTランジスタP1と、ノードNd1とノードNd2との間に接続され、ゲートに電源電圧VDDが印加され、ノードNd1の電位が電源電圧VDDより高い時にオンとされるPMOSTランジスタP2と、ノードNd2とノードNd3との間に接続され、動作制御信号BIEが‘ハイ’の時にオンとされ、ノードNd2の信号をノードNd3に伝送するPMOSTランジスタP3と、ノードNd3と接地電圧VSSとの間にダイオード構造で接続され、ノードNd3の信号がスレショルド電圧Vt以上の時にオンとされ、ノードNd3の電圧を接地電圧VSSに放電させるNMOSTランジスタN1と、ノードNd3と接地電圧VSSとの間に接続され、動作制御信号BIEがロウの時にオンとされ、ノードNd3の電圧を接地電圧VSSに放電させるNMOSTランジスタN2とで構成されている。そして、電源電圧VDDとノードNd5との間に接続され、ゲートに接地電圧VSSが印加されるPMOSTランジスタP4と、ノードNd5と接地電圧VSSとの間に直列に接続され、ノードNd3の信号と電源電圧VDDにより各々制御されるNMOSTランジスタN3、N4と、ノードNd5と出力信号VPBSBを出力するノードNd6との間に直列に接続されるインバータIV1、IV2とで構成されている。

ドNd6との間に直列に接続されるインバータIV1、IV2とで構成されている。

【0008】上記構成を有するVPPレベル検出部10は、動作制御信号BIEが‘ハイ’になれば、PMOSTランジスタP3はオン、NMOSTランジスタN2はオフとされ、VPP-PMOSTランジスタP1～P3のスレショルド電圧Vt値がノードNd3に伝送される。この際、VPP電圧が電源電圧VDD+|2Vtp|以上となれば、出力信号VPBSBはロウとされ、VPPポンピング動作を停止させる。ここで、Vtpは、PMOSTランジスタのスレショルド電圧である。他方、VPP電圧が電源電圧VDD+|2Vtp|より低ければ、出力信号VPBSBは‘ハイ’とされ、VPP電圧をポンピングする昇圧動作を行わせる。

【0009】図3は、図1に示した従来のVPPコントロール回路部20の回路図である。VPPコントロール回路部20は、VPPレベル検出部10の出力信号VPBSBと動作制御信号BIEを2入力とするNANDゲートNA1と、NANDゲートNA1の出力ノードNd7と信号OSCSWを出力する出力端子Nd8との間に直列に接続されるインバータIV3～IV5とで構成される。VPPコントロール回路部20は、VPPレベル検出部10の出力信号VPBSBと動作制御信号BIEが全部‘ハイ’の時、‘ハイ’の出力信号OSCSWを発生する。出力信号OSCSWが‘ハイ’の時、次段のリングオシレータ部30が動作しVPP電圧をポンピングする動作を行う。

【0010】図4は、図1に示したリングオシレータ部30の回路図である。リングオシレータ部30は、VPPコントロール回路部20の出力信号OSCSWと自分の出力信号OSCSWを2入力とするNANDゲートNA2と、NANDゲートNA2の出力ノードNd9と信号OSCSWを出力する出力端子Nd10との間に直列に接続されるインバータIV6～IV9とで構成される。リングオシレータ部30は、VPPコントロール回路部20の出力信号OSCSWが‘ハイ’の時、オシレーション動作をして一定周期のバルス信号BPOSCを発生し、‘ロウ’の時は動作をしない。

【0011】図5は、図1に示した従来のVPPポンプ部40の回路図である。従来のVPPポンプ部40は、リングオシレータ部30の出力信号BPOSCを受信する入力ノードNd11と、ノードNd11の信号を受信し、反転された信号をノードNd12に出力するインバータIV10と、ノードNd12とノードNd13との間に直列に接続されるインバータIV11～IV13と、ノードNd13にソース及びドレーンが共通に接続され、ゲートがノードNd14に接続され、ノードNd14にブートストラップ電圧を印加するNMOSTランジスタN5と、電源電圧VDDとノードNd14との間にダイオード構造で接続されるNMOSTランジスタN

6と、インバータIV10の出力ノードNd12とノードNd16との間に接続されるインバータIV14と、ノードNd16にソース及びドレーンが共通に接続され、ゲートがノードNd17に連結され、ノードNd17にブートストラップ電圧を印加するNMOSTランジスタN8と、電源電圧VDDとノードNd17との間にダイオード構造で連結されるNMOSTランジスタN9と、ノードNd17にソース及びドレーンが共通に接続され、ゲートがノードNd18に連結され、ノードNd18にブートストラップ電圧を印加するNMOSTランジスタN10と、電源電圧VDDとノードNd18との間にダイオード構造で連結されるNMOSTランジスタN11と、ノードNd14とVPP電圧を出力する出力端子Nd15との間に接続され、ゲートにノードNd18の信号が印加されるNMOSTランジスタN7とで構成されている。VPPポンプ部40は、VPPレベル検出部10がない場合、リングオシレータ部30から発生したパルス信号BPOSCにより2VDDだけの電位が瞬間的に発生してVPPノードに電荷を供給する。

【0012】

【発明が解決しようとする課題】ところが、上記構成を有する従来の高電圧動作昇圧回路は、VPPポンプ部40のNMOSTランジスタN7のゲートに印加されるノードNd18の電位が最大 $3VDD - |2V_{tn}|$ 電位が印加されるので、NMOSTランジスタN7が破壊される恐れがあった。もし、電源電圧VDDが5Vである場合、14Vの電位となり、NMOSTランジスタN7の信頼性に致命的な影響を与えてランジスタが破壊されるという問題点があった。

【0013】したがって、本発明は、上記従来の高電圧動作昇圧回路における問題点に鑑みてなされたものであって、本発明の目的は、高電圧VPPポンプ回路のブートストラップ電圧が一定レベル以上と上昇することを検出した信号により高電圧ポンプ回路の動作を制御することによって、ボンピング動作時の過度なブートストラップ電圧により高電圧ポンプ回路のランジスタが破壊されることを防止できる高電圧動作昇圧回路を提供することにある。

【0014】

【課題を解決するための手段】上記のような目的を達成するためになされた本発明による高電圧動作昇圧回路は、半導体メモリ装置の高電圧動作昇圧回路において、電源電圧を昇圧させて高電圧VPPを発生するVPPポンプ部と、高電圧動作信号により前記VPPポンプ部から出力された前記高電圧VPPと基準電圧とを比較検出した信号を発生する第1VPPレベル検出部と、前記高電圧動作信号により前記VPPポンプ部で昇圧された最高電圧を受信し、前記基準電圧と比較検出した信号を発生する第2VPPレベル検出部と、前記第1VPPレベル検出部の出力信号と前記第2VPPレベル検出部

の出力信号及び前記高電圧動作信号とを受信し、VPPボンピング動作を制御する信号を発生するVPPコントロール回路部と、前記VPPコントロール回路部の出力信号により発振動作をし、前記VPPポンプ部の動作を制御するための一定周期のパルス信号を発生するリングオシレータ部とを備えることを特徴とする。

【0015】また、前記第1VPPレベル検出部は、前記高電圧VPPが前記基準電圧より高ければ、VPPボンピング動作をできないように制御する信号を発生し、前記高電圧VPPが前記基準電圧より低ければ、VPP電圧をボンピングするように制御する信号を発生することを特徴とする。また、前記第2VPPレベル検出部は、前記最高電圧が基準電圧より高ければ、VPPボンピング動作をできないように制御する信号を発生し、前記最高電圧が基準電圧より低ければ、電源電圧をボンピングするように制御する信号を発生することを特徴とする。また、前記VPPコントロール回路部は、前記第1VPPレベル検出部の出力信号と、前記第2VPPレベル検出部の出力信号及び前記高電圧動作信号が全部‘ハイ’ (high level) の時、前記リングオシレータ部を動作させる信号を発生することを特徴とする。また、前記リングオシレータ部は、前記VPPコントロール回路部の出力信号が‘ハイ’の時、一定周期のパルス信号を発生することを特徴とする。

【0016】

【発明の実施の形態】次に、本発明にかかる高電圧動作昇圧回路の実施の形態の具体例を図面を参照しながら説明する。尚、実施例を説明するための図面において、同じ機能を有するものは同じ符号符号を使用しその反復的な説明は省略する。

【0017】図6は、本発明による高電圧動作昇圧回路のブロック図である。高電圧動作昇圧回路は、図示したように、第1VPPレベル検出部100、第2VPPレベル検出部110、VPPコントロール回路部200、リングオシレータ部300及びVPPポンプ部400で構成される。第2VPPレベル検出部110、VPPコントロール回路部200及びVPPポンプ部400は、図1のものから追加及び変更されたものである。

【0018】第1VPPレベル検出部100は、図1と同様に、高電圧動作モードを示す信号である動作制御信号BIEが‘ハイ’の時、高電圧VPPと基準電圧Vrefとを比較し、高電圧VPPが目標値に到達したか否かを検出した信号VPBSBを出力する。この際、高電圧VPPが基準電圧Vrefより高ければ、出力信号VPBSBは‘ロウ’とされ、VPPボンピング動作をできないように制御し、もし高電圧VPPが基準電圧Vrefより低ければ、出力信号VPBSBは‘ハイ’とされ、VPP電圧をボンピングするように制御する。

【0019】第2VPPレベル検出部110は、動作制御信号BIEが‘ハイ’の時VPPポンプ部400で発

生する最高電圧VPPGを受信し、基準電圧Vrefと比較検出した信号VPGBSBを出力する。この際、電圧VPPGが基準電圧Vrefより高ければ、出力信号VPGBSBは‘ロウ’とされ、VPPポンピング動作をできないように制御し、もし前記電圧VPPGが基準電圧Vrefより低ければ、出力信号VPGBSBは‘ハイ’とされ、VPP電圧をポンピングするように制御する。

【0020】VPPコントロール回路部200は、第1及び第2VPPレベル検出部100、110の出力信号VPBSB、VPGBSB及び動作制御信号BIEを受信し、次段のリングオシレータ部300の動作を制御する信号OSCSWを発生する。VPPコントロール回路部200は、第1及び第2VPPレベル検出部100、110の出力信号VPBSB、VPGBSBと動作制御信号BIEが全部‘ハイ’の時、‘ハイ’の出力信号OSCSWを発生し、次段のリングオシレータ部300が動作するように制御する。もし第1及び第2VPPレベル検出部100、110の出力信号VPBSB、VPGBSB及び動作制御信号BIEのうちいずれか1つでも‘ロウ’とされると、出力信号OSCSWは‘ロウ’とされ、次段のリングオシレータ部300が動作できないように制御する。

【0021】リングオシレータ部300は、図1と同様に、VPPコントロール回路部200の出力信号OSCSWが‘ハイ’の時、オシレーション動作をして一定周期のパルス信号BPOSCを発生し、‘ロウ’の時は動作をしない。VPPポンプ部400は、リングオシレータ部300から発生したパルス信号BPOSCによりVPP電圧が目標値に到達するまで電荷をポンピングさせる。ここで、出力信号VPPGは、VPPポンプ部400でブートストラッピング動作により最も高く昇圧された電圧信号であって、第2VPPレベル検出部110にフィードバックされて入力される。

【0022】まず、高電圧動作モードになると、動作制御信号BIEは‘ハイ’にイネーブルされ、リングオシレータ部300が動作を開始する。リングオシレータ部300で発生したパルス信号OSCHによりVPPポンプ部400が動作しVPP電圧を上昇させることになる。次に、第1VPPレベル検出部100は、動作制御信号BIEが‘ハイ’の時、VPP電圧を検出し、検出した値が目標値に到達すればVPPポンピング動作をできないように制御し、検出した値が目標値に到達していなければVPP電圧をポンピング動作により昇圧させるように制御する信号VPBSBを発生させる。

【0023】そして、第2VPPレベル検出部110は、動作制御信号BIEが‘ハイ’の時、VPPポンプ部400で発生した最も高い電圧VPPGを受信し、この電圧VPPGのレベルが基準電圧以上と過度に上昇することになれば、これ以上VPPポンピング動作をでき

ないように出力信号VPGBSBを‘ロウ’とする。そうでない場合には出力信号VPGBSBは‘ハイ’である。

【0024】第1VPPレベル検出部100の出力信号VPBSBと第2VPPレベル検出部110の出力信号VPGBSB及び動作制御信号BIEが全部‘ハイ’の時、VPPコントロール回路部200は、VPPポンプ部400がVPP電圧をポンピングするように、リングオシレータ部300を動作させる。他方、第1VPPレベル検出部100の出力信号VPBSBと第2VPPレベル検出部110の出力信号VPGBSB及び動作制御信号BIEのうちいずれか1つでも‘ロウ’とされると、VPPコントロール回路部200は、VPPポンプ部400がVPP電圧をポンピングできないように、リングオシレータ部300の動作を停止させる。このような動作を繰り返すことによって、VPP電圧は、一定の電位を維持でき、過度なVPP電圧のポンピングによりVPPポンプ部400のトランジスタが破壊されることを防止できる。

【0025】図7は、図6に図示した第2VPPレベル検出部110の回路図である。第2VPPレベル検出部110は、図示したように、VPPポンプ部400の出力電圧VPPとノードNd1との間に直列に連結されるダイオード構造のPMOSTランジスタP21～P23と、ノードNd1とノードNd2との間に連結され、ゲートに電源電圧VDDが印加され、ノードNd1の電位が電源電圧VDDより高い時にオンとされるPMOSTランジスタP24と、ノードNd2とノードNd3との間に連結され、動作制御信号BIEが‘ハイ’の時にオンとされ、ノードNd2の信号をノードNd3に伝送するPMOSTランジスタP25と、ノードNd3と接地電圧VSSとの間にダイオード構造で連結され、ノードNd3の信号がスレショルド電圧Vt以上の時オンとされ、ノードNd3の電圧を接地電圧VSSに放電させるNMOSTランジスタN21と、ノードNd3と接地電圧VSSとの間に連結され、動作制御信号BIEが‘ロウ’の時にオンとされ、ノードNd3の電圧を接地電圧VSSに放電させるNMOSTランジスタN22とで構成される。

【0026】そして、電源電圧VDDとノードNd5との間に接続され、ゲートに接地電圧VSSが印加されるPMOSTランジスタP26と、ノードNd5と接地電圧VSSとの間に直列に連結され、ノードNd3の信号と電源電圧VDDにより各々制御されるNMOSTランジスタN23、N24と、ノードNd5と出力信号VPGBSBを出力するノードNd6との間に直列に連結されるインバータIV2、IV3とで構成される。

【0027】第2VPPレベル検出部110は、動作制御信号BIEが‘ハイ’とされると、PMOSTランジスタP25はオン、NMOSTランジスタN22はオフ

とされる。この際、VPPポンプ部400から受信された電圧VPPGのレベルが2VDD以上となれば、出力信号VPGBSBが‘ロウ’とされる。この際、センシングレベルは、PMOSTランジスタP21～P24の大きさにより決定される。すなわち出力信号VPGBSBは、電圧VPPGのレベルが過度に上昇することになれば、‘ロウ’とされ、VPPポンプによる昇圧動作を停止させる。そして、電圧VPPGが2VDD以下の時、出力信号VPGBSBは‘ハイ’とされ、VPP電圧をポンピングする昇圧動作を行わせる。ここで、本発明の昇圧回路は、従来技術とは異なって、VPPポンプ部400から出力される2つの出力電圧VPP、VPPGのセンシング結果によって昇圧回路の動作有無を決定することになる。

【0028】図8は、図6に図示したVPPコントロール回路部200の回路図である。VPPコントロール回路部200は、第1及び第2VPPレベル検出部100、110の出力信号VPBSB、VPGBSBと動作制御信号BIEを3入力とするNANDゲートG4と、NANDゲートG4の出力ノードNd7と信号OSCSWを出力する出力端子Nd8との間に直列に接続されるインバータG5～G7とで構成される。

【0029】VPPコントロール回路部200は、第1及び第2VPPレベル検出部100、110の出力信号VPBSB、VPGBSBと動作制御信号BIEが全部‘ハイ’の時、‘ハイ’の出力信号OSCSWを発生する。出力信号OSCSWが‘ハイ’の時、次段のリングオシレータ部300が動作し、VPP電圧をポンピングする動作を行う。他方、第1及び第2VPPレベル検出部100、110の出力信号VPBSB、VPGBSBと動作制御信号BIEのうちいずれか1つでもが‘ロウ’とされると、出力信号OSCSWは‘ロウ’とされ、VPP電圧ポンピングが行われずに次段のリングオシレータ部300の動作を停止させる。

【0030】リングオシレータ部300は、図4と同様に、VPPコントロール回路部200の出力信号OSCSWと自分の出力信号OSCSWを2入力とするNANDゲートNA2と、NANDゲートNA2の出力ノードNd9と信号OSCSWを出力する出力端子Nd10との間に直列に接続されるインバータIV6～IV9とで構成される。リングオシレータ部300は、VPPコントロール回路部200の出力信号OSCSWが‘ハイ’の時、オシレーション動作をして一定周期のパルス信号BPOSCを発生し、‘ロウ’の時は動作をしない。

【0031】図9は、図6に図示したVPPポンプ部400の回路図である。VPPポンプ部400は、図示したように、リングオシレータ部300の出力信号BPOSCを受信する入力ノードNd11と、ノードNd11の信号を受信し、反転された信号をノードNd12に出力するインバータG8と、ノードNd12とノードNd

13と間に直列に接続されるインバータG9～G11と、ノードNd13にソース及びドレインが共通に接続され、ゲートがノードNd14に接続され、ノードNd14にブートストラップ電圧を印加するNMOSTランジスタN25と、電源電圧VDDとノードNd14との間にダイオード構造で接続されるNMOSTランジスタN26と、インバータG8の出力ノードNd12とノードNd16との間に接続されるインバータG12と、ノードNd16にソース及びドレインが共通に接続され、ゲートがノードNd17に接続され、ノードNd17にブートストラップ電圧を印加するNMOSTランジスタN28と、電源電圧VDDとノードNd17との間にダイオード構造で接続されるNMOSTランジスタN29と、ノードNd17にソース及びドレインが共通に接続され、ゲートが電圧VPPGを出力するノードNd18に接続され、ノードNd18にブートストラップ電圧を印加するNMOSTランジスタN30と、電源電圧VDDとノードNd18との間にダイオード構造で接続されるNMOSTランジスタN31と、ノードNd14とVPP電圧を出力する出力端子Nd15との間に接続され、ゲートにノードNd18の信号が印加されるNMOSTランジスタN27とで構成される。

【0032】VPPポンプ部400は、リングオシレータ部300の出力信号BPOSCが‘ハイ’の時、ノードNd13が‘ハイ’とされ、ノードNd14の電位をNMOSTランジスタN25によりブートストラッピングさせる。この際、ノードNd14の電位は、NMOSTランジスタN26を介して供給された電源電圧VDDにより $VDD - V_{tn}$ となるが、NMOSTランジスタN25のブートストラッピング動作により $2VDD - V_{tn}$ となる。一方、ノードNd17の電位は、と同様に、NMOSTランジスタN29を介して供給された電源電圧VDDにより $VDD - V_{tn}$ となるが、NMOSTランジスタN28のブートストラッピング動作により $2VDD - V_{tn}$ となる。そして、電圧VPPGを出力するノードNd18の電位は、ノードNd17の電位が $2VDD - V_{tn}$ であるから、NMOSTランジスタN30によりブートストラッピングされた $3VDD - V_{tn}$ となる。したがって、ノードNd15に出力されるVPP電圧は2VDDとなる。

【0033】結果的に、第2VPPレベル検出部110でのセンシングレベルは2VDDであるから、電圧VPPGの電位となり、従来の $3VDD - |V_{tn}|$ より低い電圧となるが、スレショルド電圧 V_t のドロップ(drop)を除去できる電位となる。これにより、信頼性を確保するとともに、動作の効率性を得ることができ

【0034】尚、本発明は、本実施例に限られるものではない。本発明の趣旨から逸脱しない範囲内で多様に変更実施することが可能である。

【0035】

【発明の効果】以上説明したように、本発明による高電圧動作昇圧回路によれば、高電圧VPPポンプ回路のブートストラップ電圧が一定レベル以上と上がることを検出し、ポンピング動作を制御することによって、ポンピング動作時の過度なブートストラップ電圧によりVPPポンプ回路のトランジスタが破壊されることを防止することができる。したがって、高電圧モードであるバーンイン時に昇圧回路の信頼性を確保することができ、安定した昇圧動作を行うことができるという効果を奏する。

【図面の簡単な説明】

【図1】従来技術による高電圧動作昇圧回路のブロック図である。

【図2】図1に示したVPPレベル検出部の回路図である。

【図3】図1に示したVPPコントロール回路部の回路

図である。

【図4】図1に示したリングオシレータ部の回路図である。

【図5】図1に示したVPPポンプ部の回路図である。

【図6】本発明による高電圧動作昇圧回路のブロック図である。

【図7】図6に示した第2VPPレベル検出部の回路図である。

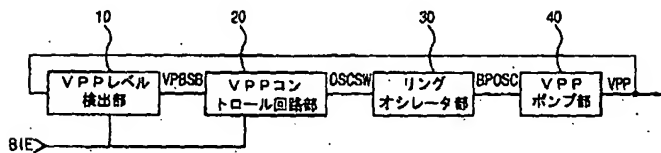
【図8】図6に示したVPPコントロール回路部の回路図である。

【図9】図6に示したVPPポンプ部の回路図である。

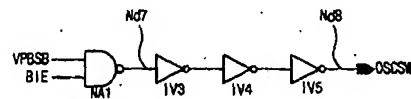
【符号の説明】

- 100 第1VPPレベル検出部
- 110 第2VPPレベル検出部
- 200 VPPコントロール回路部
- 300 リングオシレータ部
- 400 VPPポンプ部

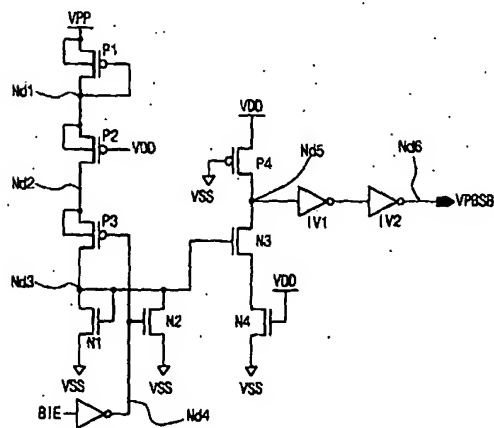
【図1】



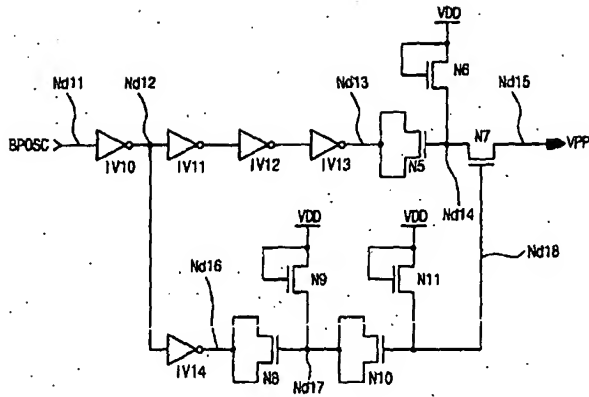
【図3】



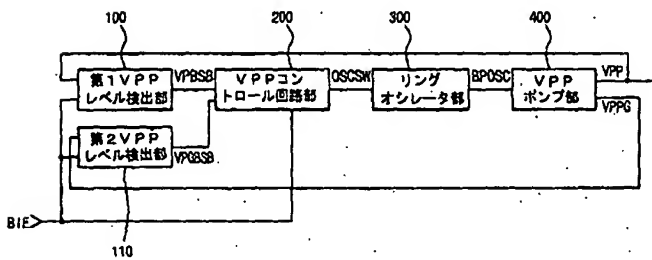
【図2】



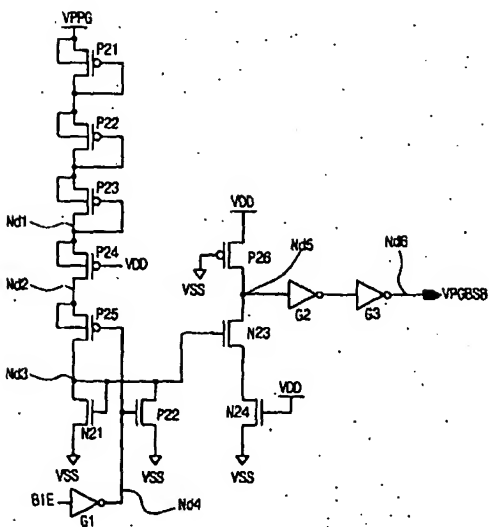
【図5】



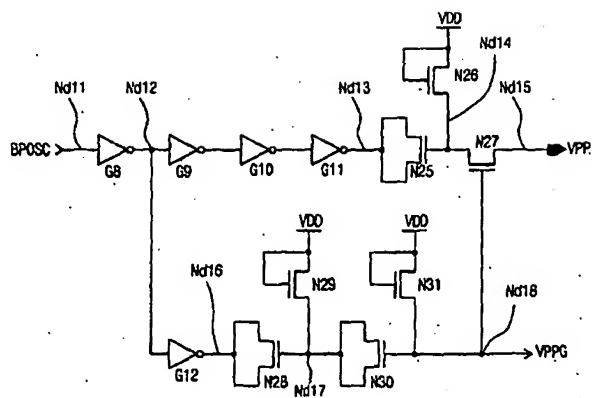
【図6】



【図7】



【図9】



フロントページの続き

Fターム(参考) 5H730 AA20 AS04 BB02 BB86 BB88
DD04 FD01 FG01 XX04 XX12
XX26 XX32
5M024 AA96 BB29 BB35 BB36 CC24
CC47 FF04 FF12 FF22 HH11
PP01 PP02 PP03